



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010004258

(43) Publication.Date. 20010115

(21) Application No.1019990024881

(22) Application Date. 19990628

(51) IPC Code:

H01L 21/76

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KO, SEONG HAN

LIM, TAE JEONG

(30) Priority:

(54) Title of Invention

METHOD OF FORMING TRENCH TYPE ISOLATION LAYER IN SEMICONDUCTOR DEVICE

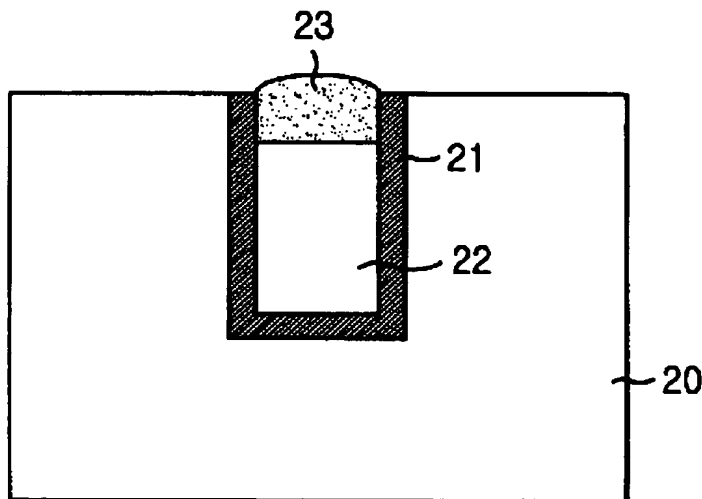
Representative drawing

(57) Abstract:

PURPOSE: A method of forming a trench type isolation layer is to suppress a thermal stress on a substrate due to a high temperature when depositing an oxide for burying trench.

CONSTITUTION: The method comprises the steps of: forming a trench on an isolation region of a semiconductor substrate(20); forming a nitride layer(21) on a surface of the resulting structure; burying a SOG(Spin On Glass) layer(22) in the trench so that it is buried to a thickness equal to a portion of a depth of the trench; burying an oxide in a remaining portion of the trench; and removing the nitride layer on an active region of the substrate.

COPYRIGHT 2001 KIPO



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/76	(11) 공개번호 (43) 공개일자	특2001-0004258 2001년01월 15일
(21) 출원번호	10-1999-0024881	
(22) 출원일자	1999년06월28일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 임태정 서울특별시용산구청파동3가101-4 고성한	
(74) 대리인	경기도성남시분당구야탑동벽산아파트609동1101호 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최중식, 특허 법인 신성 박정후, 특허법인 신성 정지원	

심사청구 : 없음

(54) 반도체 소자의 트렌치형 소자 분리막 형성방법

요약

본 발명은 트렌치 매립용 산화막 증착시의 고온에 의한 기판에의 열적 스트레스를 억제할 수 있는 반도체 소자의 트렌치형 소자 분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명의 특징적인 반도체 소자의 트렌치형 소자 분리막 형성방법은, 반도체 기판의 소자 분리 영역에 트렌치를 형성하는 제1 단계; 상기 제1 단계를 마친 전체구조 표면을 따라 질화막을 형성하는 제2 단계; 상기 트렌치 내에 스피논글래스(SOG)막을 매립하되, 상기 스피논글래스막이 상기 트렌치의 일부 높이까지 매립되도록 하는 제3 단계; 상기 트렌치의 나머지 부분에 산화막을 매립하는 제4 단계; 및 상기 반도체 기판의 활성 영역 상의 상기 질화막을 제거하는 제5 단계를 포함하여 이루어진다. 즉, 본 발명은 저온 공정이 가능한 SOG(spin on glass)를 갭-필링 산화막으로 적용하는 기술로서, 기판에의 열적 스트레스를 크게 완화시켜 에치-피트(etch-pit)와 같은 결함을 억제하도록 한다.

대표도

도2f

색인어

트렌치, 소자 분리, SOG, 질화막, 열적 스트레스

명세서

도면의 간단한 설명

도 1은 도 1은 종래기술에 따라 산화막이 매립된 상태를 나타낸 단면도.

도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 트렌치형 소자 분리막 형성 공정도.

* 도면의 주요 부분에 대한 부호의 설명

20 : 실리콘 기판

21 : 질화막

22 : SOG막

23 : 실리콘-리치 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 특히 소자 간의 전기적 분리를 위한 소자 분리막 형성 기술에 관한 것이며, 더 자세히는 트렌치형 소자 분리막 형성방법에 관한 것이다.

트렌치 소자분리(trench isolation) 공정은 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인과, 버즈비크(bird's beak)에 따른 활성 영역의 감소와 같은 기존 LOCOS(local oxidation of silicon) 공정의 문제점을 근본적으로 해결할 수 있는 소자분리 공정으

로 부각되고 있으며, 1G DRAM급 이상의 초고집적 반도체 소자 제조 공정에서의 적용이 유망한 기술이다.

트렌치 매립용 산화막은 갭-필링(gap-filling) 특성이 우수해야 한다. 만일 소자 분리막 내에 보이드(void)와 같은 결함이 발생할 경우, 누설 전류가 증가하여 소자의 전기적 특성을 열화시키는 문제점이 발생하게 된다. 이러한 문제점은 딥트렌치(deep trench) 소자 분리 공정에 있어서 더욱 중요한 이슈(issue)가 되고 있다.

현재 트렌치 매립용 산화막으로 통상 O_3 -TEOS(tetraethylorthosilicate)와 같은 화학기상증착(CVD) 산화막을 적용하고 있다.

그러나, 이러한 화학기상증착 산화막은 그 증착 온도가 500~600℃ 정도로 매우 높기 때문에 기판에 열적 스트레스(thermal stress)를 주게 된다. 이러한 열적 스트레스는 기판에 에치-피트(etch-pit)와 같은 결함을 유발하여 소자의 동작 특성을 저하시키는 요인이 된다.

첨부된 도면 도 1은 종래기술에 따라 산화막이 매립된 상태를 나타낸 단면도로서, 화학기상증착 산화막(11)의 증착시 고온(500~600℃)에 의한 열적 스트레스에 의해 트렌치 상부의 실리콘 기판(10) 즉, 활성 영역 가장자리 부분에 에치-피트와 같은 결함(A)이 발생한 상태를 나타내고 있다. 이러한 결함(A)은 전술한 바와 같이 소자의 동작 특성을 저하시키고, 심할 경우 수율(yield)에 악영향을 미치게 된다.

발명이 이루고자하는 기술적 과제

본 발명은 트렌치 매립용 산화막 증착시의 고온에 의한 기판에의 열적 스트레스를 억제할 수 있는 반도체 소자의 트렌치형 소자 분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 특징적인 반도체 소자의 트렌치형 소자 분리막 형성방법은, 반도체 기판의 소자 분리 영역에 트렌치를 형성하는 제1 단계; 상기 제1 단계를 마친 전체구조 표면을 따라 질화막을 형성하는 제2 단계; 상기 트렌치 내에 스피논글래스(SOG)막을 매립하되, 상기 스피논글래스막이 상기 트렌치의 일부 높이까지 매립되도록 하는 제3 단계; 상기 트렌치의 나머지 부분에 산화막을 매립하는 제4 단계; 및 상기 반도체 기판의 활성 영역 상의 상기 질화막을 제거하는 제5 단계를 포함하여 이루어진다.

즉, 본 발명은 저온 공정이 가능한 SOG(spin on glass)를 갭-필링 산화막으로 적용하는 기술로서, 기판에의 열적 스트레스를 크게 완화시켜 에치-피트(etch-pit)와 같은 결함을 억제하도록 한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 트렌치형 소자 분리막 형성 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

본 실시예에 따른 공정은, 우선 도 2a에 도시된 바와 같이 실리콘 기판(20)의 소자 분리 영역을 선택 식각하여 트렌치를 형성한다. 이때, 트렌치 식각시의 실리콘 기판(20)의 손상을 회복하기 위하여 필요에 따라 희생산화 및 희생산화막 제거 공정을 실시할 수 있다.

다음으로, 도 2b에 도시된 바와 같이 전체구조 표면을 따라 질화막(21)을 증착한다. 이때, 질화막(21)은 후속 SOG막 에치백(etchback)시 식각 정지막, 후속 화학·기계적 평탄화(CMP) 공정시 연마 정지막으로 사용되며, 후속 SOG막 내의 수분이 실리콘 기판(20)의 활성 영역으로 침투하는 것을 방지하는 역할을 하게 된다.

계속하여, 도 2c에 도시된 바와 같이 전체구조 상부에 SOG막(22)을 코팅하고, 질화막(21)을 식각 정지막으로 사용하여 에치백 공정을 실시하여 SOG막(22)이 트렌치 내부에 일정 깊이 만큼 매립되도록 한다. 이때, SOG막(22)이 트렌치 전부를 매립하지 않도록 하며, SOG막(22) 내의 수분을 일정 부분 제거하기 위하여 큐어링(curing)을 실시하는 것이 바람직하다.

이어서, 도 2d에 도시된 바와 같이 전체구조 상부에 실리콘-리치 산화막(Si-rich oxide)(23)을 증착한다. 이때, 실리콘-리치 산화막(23)을 대신하여 저온 증착이 가능한 다른 산화막을 증착할 수도 있다.

다음으로, 도 2e에 도시된 바와 같이 질화막(21)을 연마 정지막으로 사용하여 화학·기계적 연마(CMP) 공정을 실시함으로써 실리콘-리치 산화막(23)을 평탄화시킨다.

이어서, 도 2f에 도시된 바와 같이 실리콘 기판(20)의 활성 영역 상부에 있는 질화막(21)을 제거한다. 이때, 질화막(21)의 제거를 위하여 건식 또는 습식 식각을 진행할 수 있다.

SOG막(22)은 갭-필링 특성이 우수할 뿐만 아니라, 저온 공정이 가능하기 때문에 실리콘 기판(20)에 열적 스트레스를 유발하지 않는다. 그리고, SOG막(22)의 단점인 수분 문제는 큐어링을 통해 어느 정도 해결할 수 있으며, 큐어링 이후에도 SOG막(22) 내에 잔류하는 수분이 후속 열공정시 확산하는 것을 막질이 치밀한 질화막(21)이 막아 주고, SOG막(22) 상부로 수분이 확산하는 것은 실리콘-리치 산화막(23)이 어느 정도 막아 줄 수 있어 큰 문제를 야기하지 않는다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 실리콘-리치 산화막을 CMP를 통해 평탄화시키는 경우를 일례로 들어 설명하였으나, 본 발명은 실리콘-리치 산화막을 에치백하여 평탄화시키는 경우에도 적용할 수 있다.

발명의 효과

전술한 본 발명은 트렌치 소자 분리 공정 특히 딥 트렌치 소자 분리 공정시 기판에의 열적 스트레스를 억제하여 에치-피트와 같은 결함 발생을 미연에 방지할 수 있으며, 이로 인하여 반도체 소자의 전기적 특성을 안정화하고 수율 및 신뢰도를 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 소자 분리 영역에 트렌치를 형성하는 제1 단계;
 상기 제1 단계를 마친 전체구조 표면을 따라 질화막을 형성하는 제2 단계;
 상기 트렌치 내에 스피논글래스(SOG)막을 매립하되, 상기 스피논글래스막이 상기 트렌치의 일부 높이까지 매립되도록 하는 제3 단계;
 상기 트렌치의 나머지 부분에 산화막을 매립하는 제4 단계; 및
 상기 반도체 기판의 활성 영역 상의 상기 질화막을 제거하는 제5 단계를 포함하여 이루어진 반도체 소자의 트렌치형 소자 분리막 형성방법.

청구항 2

제1항에 있어서,
 상기 제3 단계가,
 상기 제2 단계를 마친 전체구조 상부에 상기 스피논글래스막을 코팅하는 제6 단계;
 상기 질화막을 식각 정지막으로 사용하여 상기 스피논글래스막을 에치백하여 상기 스피논글래스막이 상기 트렌치의 일부 높이까지 매립되도록 하는 제7 단계; 및
 상기 스피논글래스막을 큐어링하는 제8 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자 분리막 형성방법.

청구항 3

제1항 또는 제2항에 있어서,
 상기 제4 단계가,
 상기 제3 단계를 마친 전체구조 상부에 상기 산화막을 증착하는 제9 단계와,
 상기 질화막이 노출되도록 상기 산화막을 평탄화시키는 제10 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자 분리막 형성방법.

청구항 4

제3항에 있어서,
 제1 단계 수행 후,
 상기 실리콘 기판의 전체구조 표면에 희생산화막을 성장시키는 제11 단계와,
 상기 희생산화막을 습식 제거하는 제12 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자 분리막 형성방법.

청구항 5

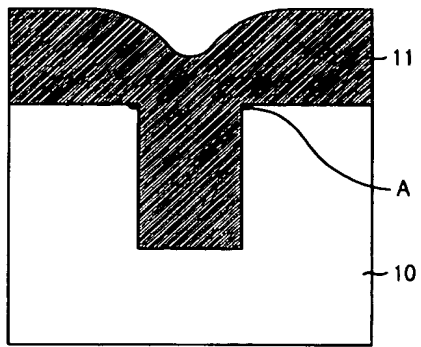
제3항에 있어서,
 상기 산화막이,
 실리콘-리치 산화막인 것을 특징으로 하는 반도체 소자의 트렌치형 소자 분리막 형성방법.

청구항 6

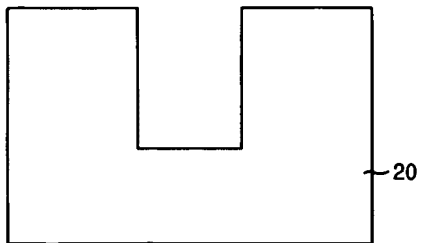
제3항에 있어서,
 상기 제10 단계에서,
 상기 산화막의 평탄화가 화학·기계적 평탄화 또는 에치백인 것을 특징으로 하는 반도체 소자의 트렌치형 소자 분리막 형성방법.

도면

도면1



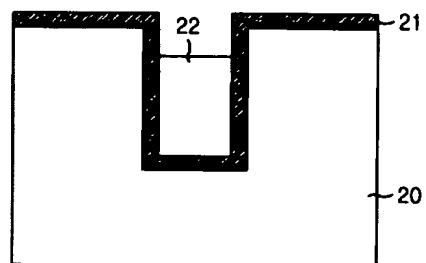
도면2a



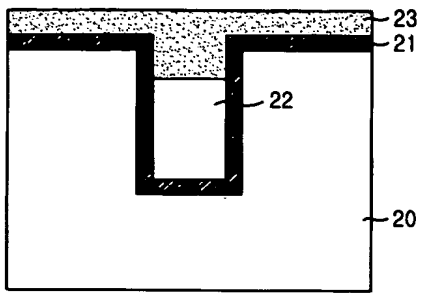
도면2b



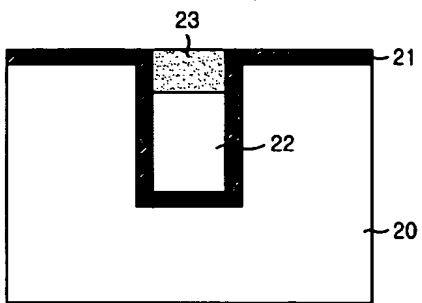
도면2c



도면2d



도면2e



도면2f

